

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Attorney Docket No.: 40296-0048

Applicant: Seon Yong CHA

Confirmation No.:

Appl. No.: Unassigned

Examiner: Unassigned

Filing Date: Concurrently Herewith

Art Unit: Unassigned

Title: Magnetoresistive Random Access Memory, and Manufacturing Method  
Thereof

**CLAIM FOR CONVENTION PRIORITY**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed. In support of this claim, filed herewith is a certified copy of said original foreign application:

**Korean Patent Application No. 10-2003-0013062 filed March 3, 2003**

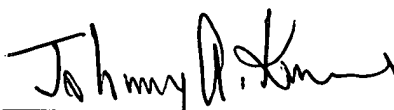
Respectfully submitted,

Date:

12/15/03

HELLER EHRMAN WHITE &  
MCAULIFFE  
1666 K Street, N.W., Suite 300  
Washington, DC 20006  
Telephone: (202) 912-2000  
Facsimile: (202) 912-2020

By



Johnny A. Kumar

Attorney for Applicant  
Registration No. 34,649  
Customer No. 26633



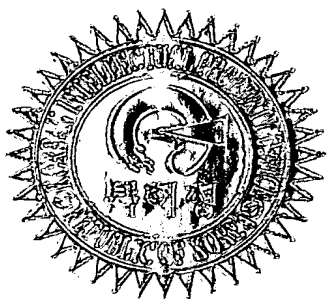
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0013062  
Application Number

출원 년 월 일 : 2003년 03월 03일  
Date of Application MAR 03, 2003

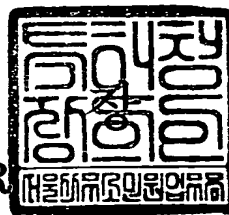
출원인 : 주식회사 하이닉스반도체  
Applicant(s) Hynix Semiconductor Inc.



2003 년 10 월 06 일

특 허 청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2003.03.03
【국제특허분류】	H01L
【발명의 명칭】	자기저항 램 및 그 제조 방법
【발명의 영문명칭】	Magnetoresistive random access memory and manufacturing method thereof
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	이후동
【대리인코드】	9-1998-000649-0
【포괄위임등록번호】	1999-058167-2
【대리인】	
【성명】	이정훈
【대리인코드】	9-1998-000350-5
【포괄위임등록번호】	1999-054155-9
【발명자】	
【성명의 국문표기】	차선용
【성명의 영문표기】	CHA, Seon Yong
【주민등록번호】	670804-1351310
【우편번호】	361-201
【주소】	충청북도 청주시 흥덕구 분평동 1255 주은프레지던트아파트 910동 50 2호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 이후동 (인) 대리인 이정훈 (인)

1020030013062

출력 일자: 2003/10/13

【수수료】

【기본출원료】	18	면	29,000	원
---------	----	---	--------	---

【가산출원료】	0	면	0	원
---------	---	---	---	---

【우선권주장료】	0	건	0	원
----------	---	---	---	---

【심사청구료】	5	항	269,000	원
---------	---	---	---------	---

【합계】	298,000	원		
------	---------	---	--	--

【첨부서류】	1. 요약서·명세서(도면)_1통
--------	-------------------

**【요약서】****【요약】**

본 발명은 자기저항 램(Magnetoresistive random access memory; MRAM) 및 그 제조 방법에 관한 것으로, 기판을 셀의 접지단으로 사용하고 셀과 비트라인을 연결하는 수직구조 전계효과 트랜지스터(Field Effect Transistor; FET)를 사용하여 모든 셀이 연결되게 함으로써, 각 셀 간의 아이솔레이션(isolation)을 위한 별도의 공정없이 간단한 MRAM 구현이 가능한 자기저항 램 및 그 제조방법에 관한 것이다. 이러한 본 발명은 자기저항 램의 제작 시 수직구조 FET를 사용함으로써 공정 단순화가 가능하고, 기존의 수평 구조 전계 효과 트랜지스터(MOS FET)에서 필수적인 MTJ셀 마스크 공정이 생략되므로 메모리 소자의 속도를 향상시킬 수 있으며, MRAM의 고집적도를 달성할 수 있다.

**【대표도】**

도 3b

**【명세서】****【발명의 명칭】**

자기저항 램 및 그 제조 방법{Magnetoresistive random access memory and manufacturing method thereof}

**【도면의 간단한 설명】**

도 1은 종래의 MTJ셀의 단면도.

도 2a 및 도 2b는 종래의 수평구조 전계 효과 트랜지스터를 이용한 자기저항 램의 모식도 및 단면도.

도 3a 및 도 3b는 본 발명에 따른 수직구조 전계 효과 트랜지스터를 이용한 자기저항 램의 모식도 및 단면도.

도 4a 내지 도 4g는 본 발명에 따른 수직구조 전계 효과 트랜지스터를 이용한 자기저항 램의 제조 방법을 나타내는 공정 순서도.

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<5> 본 발명은 자기저항 램(Magnetoresistive random access memory; MRAM) 및 그 제조 방법에 관한 것으로, 자기저항 램의 셀 구조를 개선하여 공정을 단순화시키고, 메모리 속도를 향상시킬 수 있도록 하는 자기저항 램 및 그 제조 방법에 관한 것이다.

<6> 현재 대부분의 반도체 메모리 제조 업체들은 차세대 기억소자의 하나로서, 강자성체 물질을 이용한 자기저항 램의 개발에 적극 참여하고 있다.

- <7> 자기저항 램은 강자성 박막을 다층으로 형성하여 각 박막층의 자화방향에 따른 전류 변화를 감지함으로써 데이터를 읽고 쓸 수 있는 기억소자로서, 자성 박막 고유의 특성에 의해 고속, 저전력 및 고집적이 가능할 뿐만 아니라 플래쉬 메모리와 같이 비휘발성 메모리 동작이 가능한 소자이다.
- <8> 이에 대한 연구는 현재 초기 단계에 있으며, 주로 다층 자성 박막의 형성에 집중되어 있고, 단위셀 구조 및 주변 감지 회로 등에 대한 연구는 아직 미비한 실정이다.
- <9> 도 1은 이러한 종래의 자기저항 램에서 데이터가 저장되어지는 다층 자성 박막 구조로서 MTJ(Magnetic Tunnel Junction, 자기 터널 접합) 셀의 단면도를 나타낸다.
- <10> 일반적으로 MTJ셀(5)은 반자성체(anti-ferroelectric) 박막(1), 고정층 강자성체 박막(2), 터널링 전류가 흐르는 얇은 절연층(3) 및 자유층 강자성체 박막(4)으로 형성된다.
- <11> 여기서, 고정층 강자성체 박막(2)은 자화 방향이 한 방향으로 고정되어 있으며, 반자성체 박막(1)은 고정층 강자성체 박막(2)의 자화 방향이 변하지 않도록 고정해 주는 역할을 한다. 반면에, 자유층 강자성체 박막(4)은 외부 자장에 의해 자화 방향이 바뀌어 지며, 이 층의 자화 방향에 따라 "0" 또는 "1"의 데이터를 기억할 수 있다.
- <12> 이러한 MTJ셀(5)에 수직 방향으로 전류가 흐를 경우 절연층을 통한 터널링 전류가 발생하게 된다. 이때, 고정층 강자성체 박막(2)과 자유층 강자성체 박막(4)의 자화 방향이 같으면 터널링 전류의 크기가 크며, 반대로 고정층 강자성체 박막(2)과 자유층 강자성체 박막(4)의 자화 방향이 반대일 경우에는 작은 터널링 전류가 흐르게 된다.

- <13> 이러한 현상을 터널 자기 저항(Tunneling Magnetoresistance; TMR)효과라 하는데, 이 터널링 전류의 크기를 감지함으로써 자유층 강자성체 박막(4)의 자화방향을 알 수 있고, 셀에 저장된 데이터를 판독할 수 있게 된다.
- <14> 도 2a는 수평구조 전계 효과 트랜지스터(Field Effect Transistor)를 이용하여 자기저항 램의 셀을 구현한 실시예를 나타낸다.
- <15> 자기저항 램의 단위셀은 하나의 수평구조 전계 효과 트랜지스터(Field Effect Transistor; FET)(9)와, MTJ셀(5)과, 데이터의 리드시 사용되는 읽기 워드라인(6)과, 전류의 인가에 따라 외부 자기장을 형성하여 MTJ셀(5) 내의 자유층 강자성체 박막(4)의 자화방향의 변화에 따라 데이터를 저장할 수 있도록 하는 쓰기 워드라인(8)과, MTJ셀(5)에 수직방향으로 전류를 인가하여 자유층 강자성체 박막(4)의 자화방향을 알 수 있도록 하는 비트라인(7)을 구비한다.
- <16> 이러한 구성을 갖는 종래의 자기저항 램은, 리드(read) 시에 읽기 워드라인(6)에 전압을 가하여 전계 효과 트랜지스터(9)를 동작시키고 비트라인(7)에 전류를 인가한 뒤 MTJ셀(5)에 흐르는 전류의 크기를 감지한다.
- <17> 또한, 라이트(write) 시에는 전계 효과 트랜지스터(9)를 오프 상태로 유지하면서, 쓰기 워드라인(8)과 비트라인(7)에 전류를 인가시킴으로써 이로 인해 발생하는 외부 자기장에 의해 MTJ셀(5) 자유층의 자화 방향을 변화시킨다.
- <18> 여기서, 비트라인(7)과 쓰기 워드라인(8)에 동시에 전류를 인가시키는 이유는 두 금속선이 수직으로 교차하는 지점에서 자기장이 가장 크게 발생되며, 이로 인해 여러 개의 셀 배열 중에서 하나의 셀을 선택할 수 있기 때문이다.



- <19> 도 2b는 도 2a의 종래의 자기저항 램 셀과 대응되는 자기저항 램의 단면도이다.
- <20> 수평 구조 트랜지스터(9)의 소스(10)의 상부에 접지선(12)이 형성되고, 게이트의 상부에 읽기 워드라인(6)이 형성되며, 드레인(11)의 상부에는 도전층(13), 콘택 플러그(14), 도전층(15) 및 콘택 플러그(16)가 차례로 형성된다. 그리고, 쓰기 워드라인(8)의 상부에 연결층(17)이 형성되고, 연결층(17)의 상부에 MTJ셀(5)과 비트라인(7)이 스택(stack) 형식으로 형성된다.
- <21> MRAM의 구현 시에 가장 큰 문제점은 하나의 MTJ셀(5)이 형성되는 하부 구조가 수 nm 크기로 표면 거칠기가 제어되어야 한다는 것인데, 종래의 도 2b와 같은 구조의 MRAM은 MTJ셀(5)의 하부에 쓰기 워드라인(8)과 연결층(17) 등이 있어, 수 nm 크기로 표면 거칠기를 제어하기가 어려운 문제점이 있다.
- <22> 종래의 MRAM은 단위 셀당 두 개의 워드라인과 한 개의 비트라인 외에 접지를 위한 그라운드 배선까지 총 4개의 금속배선이 구비되는데, 그에 따른 표면저항이 커지게 되며, 이 저항을 제어하는 것이 매우 중요한 관건이다.
- <23> 이러한 트랜지스터의 외부 저항은 트랜지스터의 크기가 작을수록 제어하기가 어렵고, MTJ셀의 저항과 맞물려 셀 동작에 큰 영향을 미치게 되며, 수평구조의 트랜지스터의 숏채널 효과(short channel effect)와 저항변화는 MRAM의 수백 기가급 정도의 고밀도 집적도를 떨어뜨리는 문제점이 있다.
- 【발명이 이루고자 하는 기술적 과제】**
- <24> 본 발명은 상기와 같은 문제점을 해결하기 위하여 창출된 것으로, 수직구조 트랜지스터를 이용하여 MRAM을 구현함으로써, 트랜지스터의 숏채널 효과(short channel effect) 및 저항변화를 최소화하여 고집적 MRAM을 구현하는데 그 목적이 있다.

# 【발명의 구성 및 작용】

- <25>       상기한 목적을 달성하기 위한 본 발명의 자기저항 램은, 소스, 산화막, 및 드레인이 절연기판의 상부에 차례로 적층되어 구성되는 수직구조 전계효과 트랜지스터와, 소스의 상부에 형성되되, 상기 산화막의 양 측면의 게이트영역에 포함되는 읽기 워드라인과, 드레인영역의 상부에 형성된 콘택 라인과, 콘택 라인의 상부에 전면 적층된 MTJ셀과, MTJ셀의 상부에 형성되는 비트라인과, 비트라인의 상부에 형성된 쓰기 워드라인을 구비하여, MTJ셀의 패턴을 형성하기 위한 별도의 마스크 공정 필요없이, 자기정렬방식에 의해 상기 MTJ셀의 패턴을 형성하는 것을 특징으로 한다.
- <26>       또한, 절연체 상부에 원통형 모양의 실리콘 기둥을 형성하고, 이온을 주입하여 상기 이온주입을 통해 소스영역과 드레인영역을 형성하고, 상기 실리콘 기둥의 측벽에 게이트 산화막을 형성하는 공정과, 드레인영역의 상부에 읽기 워드라인을 전면에 증착하고 평탄화작업을 수행하고, 상기 읽기 워드라인의 상부에 제 1 층간절연막을 증착하고, 콘택을 형성하는 공정과, 콘택의 상부에 MTJ셀을 전면에 증착하고, 상기 MTJ셀의 상부에 제 1 포토리지스트를 패터닝하는 공정과, 제 1 포토리지스트를 이용하여 상기 읽기 워드라인까지 식각하여 게이트를 형성하는 공정과, 식각 후 제 2 층간 절연막을 전면에 증착하고, 평탄화 작업을 수행한 후 비트라인을 이루는 메탈라인을 전면에 증착하는 공정과, 비트라인 상부에 상기 읽기 워드라인과 직각방향으로 제 2 포토리지스트를 패터닝하는 공정과, 패터닝된 제 2 포토리지스트를 이용하여 상기 제 2 층간절연막까지 식각하는 공정을 포함하는 것을 특징으로 한다.
- <27>       이하, 첨부한 도면을 참조하여 본 발명의 실시예에 대해 상세히 설명하고자 한다.
- <28>       도 3a는 본 발명에 따른 수직구조 전계효과 트랜지스터를 이용한 자기저항 램의 구조를 나타낸다.

- <29> 본 발명의 자기저항 램은, 수직구조 전계효과 트랜지스터(Field Effect Transistor; 29)와, MTJ셀(30)과, 데이터의 리드시 사용되는 읽기 워드라인(31)과, 전류의 인가에 따라 외부 자기장을 형성하여 MTJ셀(30) 내의 자유층 강자성체 박막의 자화방향의 변화에 따라 데이터를 저장할 수 있도록 하는 쓰기 워드라인(32)과, MTJ셀(30)에 수직방향으로 전류를 인가하여 자유층 강자성체 박막의 자화방향을 알 수 있도록 하는 비트라인(33)을 구비한다.
- <30> 도 3b는 도 3a와 대응되는 본 발명에 따른 수직구조 전계효과 트랜지스터를 이용한 자기저항 램의 단면도이다.
- <31> 본 발명은 절연기판(34)의 상부에 소스(35)가 형성되고, 소스(35)의 상부에 읽기 워드라인(31)과 산화막(38)이 각각 형성되며, 읽기 워드라인(31)은 산화막(38)을 중심으로 양쪽에 형성된다.
- <32> 그리고, 산화막(38)의 상부에 드레인(36)이 형성되고, 드레인(36)의 상부에 드레인 콘택라인(37)이 형성되고, 콘택라인(37)의 상부에 MTJ셀(30)이 적층된다. 또한, MTJ셀(30)의 상부에는 비트라인(33)이 형성되고, 비트라인(22)의 상부에 쓰기 워드라인(32)이 형성된다.
- <33> 이처럼 수직구조 전계효과 트랜지스터(29)를 사용하는 본 발명은 MTJ셀(30)의 하부의 구조가 간단하여 표면 거칠기 제어가 용이하고, 공정을 단순화시킴으로써 자기저항 램의 고속화, 고밀도화를 실현할 수 있도록 한다.
- <34> 한편, 도 4a 내지 도 4g는 본 발명에 따른 자기저항 램의 제조 방법을 나타낸다.
- <35> 먼저, 도 4a의 과정에서는 절연기판(34)의 상부에 채널이 되는 원통형 모양의 실리콘(Si) 기둥을 마스크하여 수직구조 전계효과 트랜지스터를 형성한다. 그 후, 이온주입을 통해

소스(35)와 드레인(36)을 형성하고, 원통형 모양의 실리콘(Si) 기둥 측벽에 게이트 산화막(oxide)을 형성한다.

<36> 도 4b의 과정에서는 도 4a의 과정에서 형성된 수직구조 전계효과 트랜지스터의 상부 전면에 폴리 실리콘(poli silicon)으로 구성된 읽기 워드라인(31)을 증착한 후 평탄화 작업을 행한다. 그 후, 층간 절연막(39)을 증착하고, 상부의 MTJ셀(30)과 수직구조 전계효과 트랜지스터(29)의 드레인(36)과의 전기적 연결을 위해 콘택홀을 형성한다.

<37> 도 4c의 과정에서는 도 4b의 과정에서 형성된 콘택홀의 상부에 4개의 박막층으로 되어 있는 MTJ셀(30)을 순서대로 증착하고, 읽기 워드라인(31) 마스크를 이용하여 포토 리지스트(photo resist)(40)를 패터닝한다.

<38> 도 4d의 과정에서는 도 4c의 과정에서 패터닝된 포토 리지스트(40)를 이용하여 MTJ셀(30)과 읽기 워드라인(31)까지 식각하여, 게이트가 형성되고 이 게이트와 같은 모양으로 MTJ셀(30) 박막들이 패터닝 된다.

<39> 도 4e의 과정에서는 도 4d의 과정에서 패터닝된 MTJ셀(30)의 상부에 층간 절연막(41)을 전면 증착하고 평탄화 작업을 행한 후, 비트라인(33)을 이루는 메탈라인(metal line)을 전면에 증착한다. 이때, 층간절연막(41)은 비트라인(33)을 증착할 때 비트라인(33)과 수직구조 전계효과 트랜지스터(34)가 연결되지 않도록 한다.

<40> 도 4f의 과정에서는 도 4e의 과정에서 증착된 비트라인(33)의 읽기 워드라인(31)과 직각 방향으로 상부에 비트라인(33) 마스크를 이용하여 포토 리지스트(42)를 패터닝한다.

<41> 도 4g의 과정에서는 도 4f의 과정에서 패터닝된 포토 리지스트(42)를 이용하여 MTJ셀(30)과 하부의 층간절연막(39)까지 식각공정을 행한다. 이 과정을 통해 선모양의 MTJ셀(30)의

박막층이 직각방향의 비트라인(33) 마스크를 통해 사각형 모양의 MTJ셀(30)로 모양이 자동으로 바뀌게 된다. 즉, 별도의 MTJ셀 마스크 없이 상술한바와 같은 방식 즉 자기 정렬 방식에 의해 MTJ셀(30) 형성이 가능해진다.

<42> 이처럼 본 발명은 별도의 마스크 공정없이 자기 정렬방식을 이용하여 MTJ셀(30)을 형성하고, 읽기 워드라인(31)과 비트라인(33) 패턴 형성 시에만 마스크 공정을 함으로써, 공정을 단순화 할 수 있어 MRAM의 고집적도를 향상시킬 수 있다.

#### 【발명의 효과】

<43> 이상에서 설명한 바와 같이, 본 발명은 수직구조 트랜지스터를 이용하여 MTJ셀 하부의 표면 거칠기를 제어하기가 용이한 장점이 있으며, 각 셀의 접지를 기판표면으로 하여 모든 셀이 연결되게 함으로써, 각 셀간의 아이솔레이션(isolation)을 위한 별도의 공정없이 간단한 MRAM 구현이 가능하고, 공정의 단순화로 인한 공정 비용 및 소모 시간이 줄어드는 효과와 함께 MRAM의 고집적도를 향상시킬 수 있는 효과가 있다.



【특허청구범위】

【청구항 1】

소스, 산화막, 및 드레인이 절연기판의 상부에 차례로 적층되어 구성되는 수직구조 전계효과 트랜지스터;

상기 소스의 상부에 형성되되, 상기 산화막의 양 측면의 게이트영역에 포함되는 읽기 워드라인;

상기 드레인영역의 상부에 형성된 콘택 라인;

상기 콘택 라인의 상부에 전면 적층된 MTJ셀;

상기 MTJ셀의 상부에 형성되는 비트라인; 및

상기 비트라인의 상부에 형성된 쓰기 워드라인을 구비하여,

상기 MTJ셀의 패턴을 형성하기 위한 별도의 마스크 공정 필요없이, 자기정렬방식에 의해 상기 MTJ셀의 패턴을 형성하는 것을 특징으로 하는 자기저항 램.

【청구항 2】

제 1 항에 있어서, 상기 자기정렬방식은,

이온주입을 통해 소스영역과 드레인영역을 형성하고, 실리콘 기둥을 채널 영역으로 형성하는 것을 특징으로 하는 자기저항 램.

【청구항 3】

제 1 항에 있어서, 상기 읽기 워드라인은,

폴리 실리콘을 증착함을 특징으로 하는 자기저항 램.

**【청구항 4】**

절연체 상부에 원통형 모양의 실리콘 기둥을 형성하고, 이온을 주입하여 상기 이온주입을 통해 소스영역과 드레인영역을 형성하고, 상기 실리콘 기둥의 측벽에 게이트 산화막을 형성하는 공정;

상기 드레인영역의 상부에 읽기 워드라인을 전면에 증착하고 평탄화작업을 수행하고, 상기 읽기 워드라인의 상부에 제 1 층간절연막을 증착하고, 콘택을 형성하는 공정;

상기 콘택의 상부에 MTJ셀을 전면에 증착하고, 상기 MTJ셀의 상부에 제 1 포토리지스트를 패터닝하는 공정;

상기 제 1 포토리지스트를 이용하여 상기 읽기 워드라인까지 식각하여 게이트를 형성하는 공정;

상기 식각 후 제 2 층간 절연막을 전면에 증착하고, 평탄화 작업을 수행한 후 비트라인을 이루는 메탈라인을 전면에 증착하는 공정;

상기 비트라인 상부에 상기 읽기 워드라인과 직각방향으로 제 2 포토리지스트를 패터닝하는 공정; 및

상기 패터닝된 제 2 포토리지스트를 이용하여 상기 제 2 층간절연막까지 식각하는 공정을 포함하는 것을 특징으로 하는 자기저항 램의 제조 방법.

**【청구항 5】**

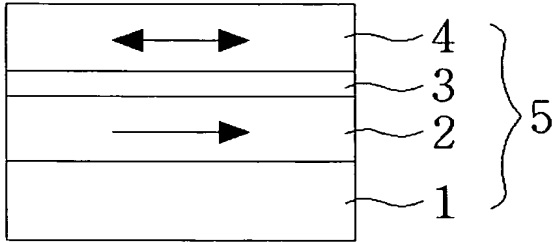
제 4 항에 있어서, 상기 읽기 워드라인은,

폴리 실리콘으로 구성되는 것을 특징으로 하는 자기저항 램의 제조 방법.

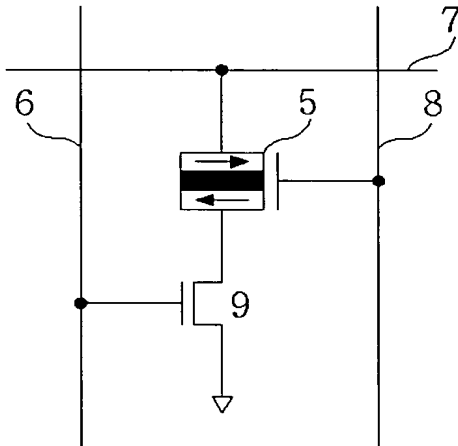


【도면】

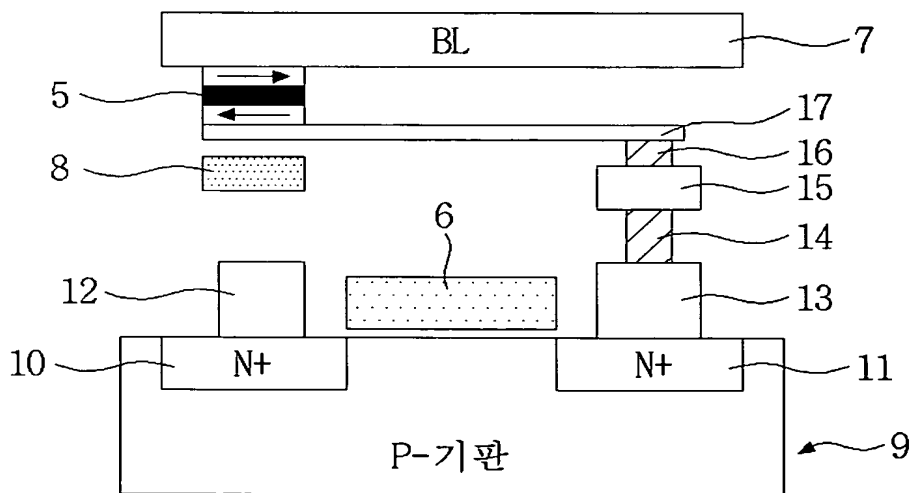
【도 1】



【도 2a】



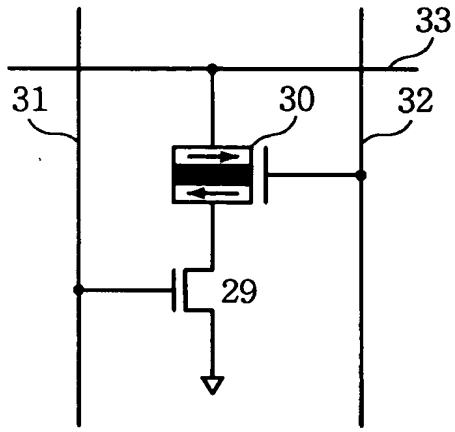
【도 2b】



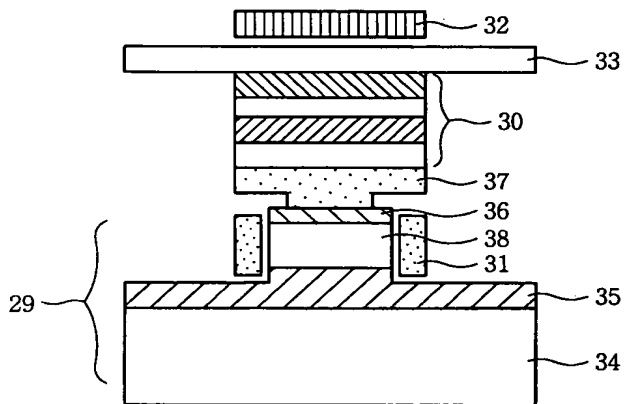




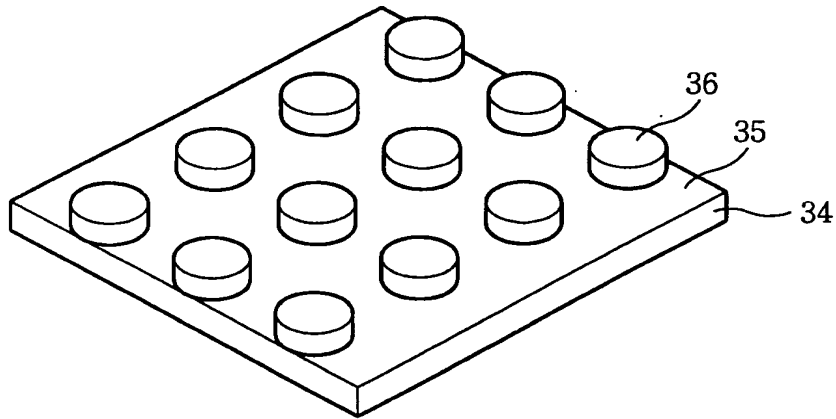
【도 3a】



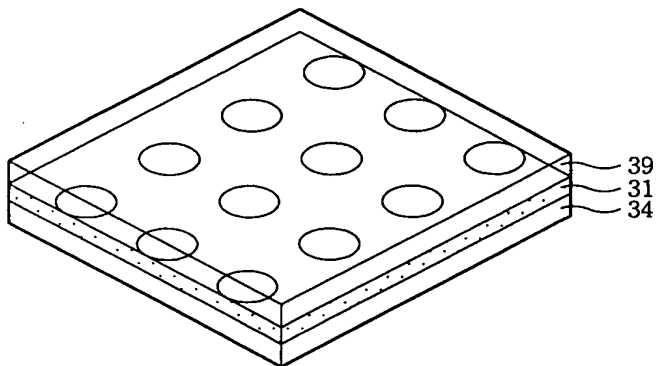
【도 3b】



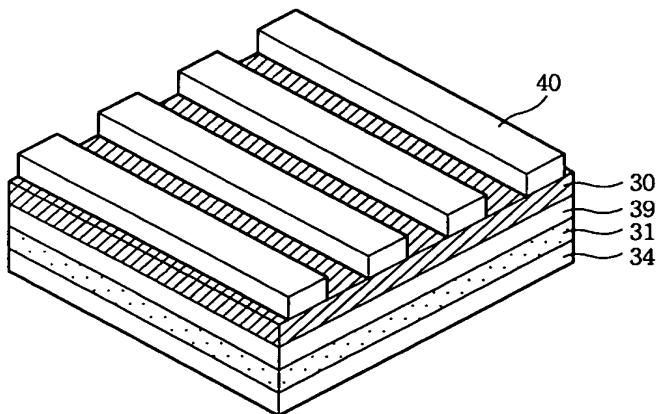
【도 4a】



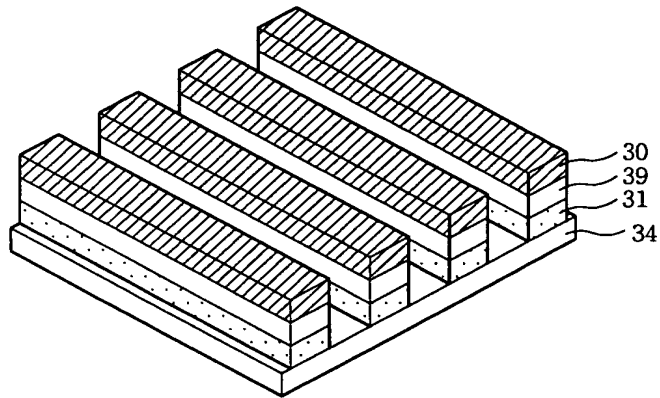
【도 4b】



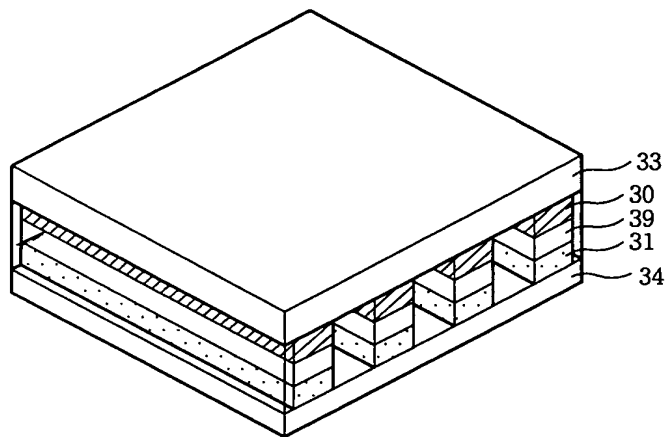
【도 4c】



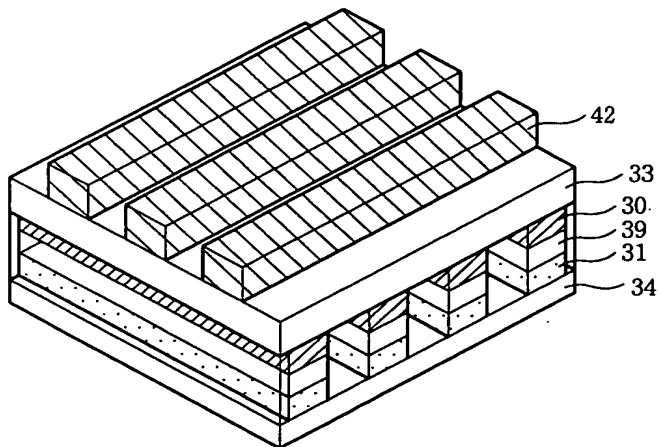
【도 4d】



【도 4e】



【도 4f】



【도 4g】

